

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-256138
 (43)Date of publication of application : 01.10.1996

(51)Int.CI. H04L 7/033
 H03L 7/06
 H04L 7/00
 H04L 25/40

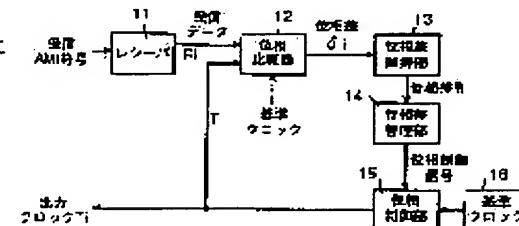
(21)Application number : 07-058687 (71)Applicant : SHARP CORP
 (22)Date of filing : 17.03.1995 (72)Inventor : YAMAUCHI MASAHIRO

(54) CLOCK EXTRACTION CIRCUIT

(57)Abstract:

PURPOSE: To quickly and stably output a clock that is synchronous with the received data in a data transmission mode of a subordinate synchronous system.

CONSTITUTION: A phase comparator 12 compares the received data R_i ($R_n, R_{n-1} \dots R_1$) with the clocks T_i ($T_n, T_{n-1} \dots T_1$) which are outputted from a phase control part 15 for every clock and outputs the phase differences d_i ($d_n, d_{n-1} \dots d_1$) set between the data R_i and clocks T_i . These phase differences are held at a phase difference holding part 13. A phase difference management part 14 outputs a phase control signal based on the differences d_i , and the control part 15 controls the phases of clocks T_i based on the phase control signal. The part 14 performs an operation by means of the phase differences d_i equivalent to optional N pieces of clocks and uses this arithmetic condition as a phase control signal to control the phases of output clocks T_i .



LEGAL STATUS

[Date of request for examination] 18.12.1998

[Date of sending the examiner's decision of rejection] 30.01.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-256138

(43)公開日 平成8年(1996)10月1日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 04 L 7/033			H 04 L 7/02	B
H 03 L 7/06			7/00	G
H 04 L 7/00		9199-5K	25/40	C
25/40			H 03 L 7/06	B

審査請求 未請求 請求項の数3 O L (全 5 頁)

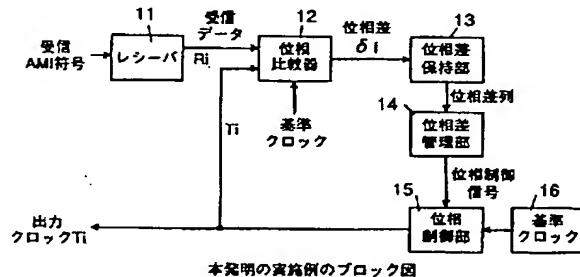
(21)出願番号	特願平7-58687	(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日	平成7年(1995)3月17日	(72)発明者	山内 昌浩 大阪府大阪市阿倍野区長池町22番22号 シ ヤープ株式会社内
		(74)代理人	弁理士 高野 明近

(54)【発明の名称】 クロック抽出回路

(57)【要約】

【目的】 従属同期方式のデータ伝送において、受信データに同期したクロックを速やかに、安定して出力する。

【構成】 受信データ R_i (R_n, R_{n-1}, \dots, R_1) と位相制御部 15 から出力されるクロック T_i (T_n, T_{n-1}, \dots, T_1) とを位相比較器 12においてクロック毎に比較し、受信データ R_i と出力クロック T_i の位相差 δ_i ($\delta_n, \delta_{n-1}, \dots, \delta_1$) を出力し、この位相差 δ_i を位相差保持部 13において複数保持する。位相差管理部 14 は、この保持した位相差 δ_i を用いて位相制御信号を出力し、位相制御部 15 は、この位相制御信号に従って出力クロック T_i の位相を制御する。前記位相差管理部 14 は、前記保持された任意の N 個のクロック分の位相差 δ_i を用いて演算を施して、その演算条件を位相制御信号として、位相制御部 15 の出力クロック T_i の位相を制御する。



【特許請求の範囲】

【請求項1】 受信データR_i(R_n, R_{n-1}, …, R₁)と位相制御部から出力されるクロックT_i(T_n, T_{n-1}, …, T₁)とをクロック毎に比較し、受信データR_iと出力クロックT_iの位相差δ_i(δ_n, δ_{n-1}, …, δ₁)を出力する位相比較器と、前記位相差δ_iを複数保持する位相差保持部と、前記保持した位相差δ_iを用いて位相制御信号を出力する位相差管理部と、前記位相差管理部から出力される位相制御信号に従って出力クロックT_iの位相を制御する位相制御部とを有する従属同期方式のデータ伝送回路において、前記位相差管理部は、前記保持された任意のN個のクロック分の位相差δ_iを用いて何らかの演算を施し、その演算条件を位相制御信号として、前記位相制御部の出力クロックT_iの位相を制御することを特徴とするクロック抽出回路。

【請求項2】 前記演算条件として、下記の式1を用いたことを特徴とする前記請求項1記載のクロック抽出回路。

【数1】

$$\delta_{i+1} = \frac{\sum_{i=1}^N \delta_i}{N} \quad \cdots \text{ (式1)}$$

ここで、位相差が1クロック期間より大きい時(360度以上)、δ_i = δ_{i-1}とする。iは出力される順番、δ_iはクロックT_iにおける受信データR_iと出力クロックT_iとの位相差である。

【請求項3】 前記位相制御信号として、下記の式2を用いたことを特徴とする前記請求項1記載のクロック抽出回路。

【数2】

$$\delta_{i+1} = \frac{\sum_{i=1}^N (i * \delta_i)}{\sum_{i=1}^N i} \quad \cdots \text{ (式2)}$$

ここで、位相差が1クロック期間より大きい時(360度以上)、δ_i = δ_{i-1}とする。iは出力される順番、δ_iはクロックT_iにおける受信データR_iと出力クロックT_iとの位相差である。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、従属同期方式のデータ伝送におけるクロック抽出回路に関するものである。

【0002】

【従来の技術】従来、従属同期方式のデータ伝送においては、受信装置(スレーブ装置)は、送信装置(マスター装置)から伝送されたデータを受信するために、受信データから同期クロックを抽出してデータ受信を行う。ここで、受信データに同期したクロックを抽出するため

に、ディジタルPLL(Phase-Locked Loop)回路を使用することが多い。

【0003】図4は、ディジタルPLL回路の一例を説明するための図で、周知のように、位相比較器1は受信データの位相と出力クロックの位相を比較し、位相差を出力する。出力された位相差は、位相差管理部2によって「位相進み」、「位相遅れ」が判断される。位相差カウンタ3は「位相進み」、「位相遅れ」の出力回数を計数して累積する。位相制御部4は位相差カウンタ3のカウンタ値が予め設定した値Kになったときに、出力クロックの位相を「進め」たり、「遅れ」らしたりして、受信データに同期したクロックを出力する。追従時間及び安定度は値Kで設定され、値Kが大きいほど、ノイズ及びジッタ等に対して安定したクロックを抽出するが、大き過ぎると同期外れが生じるということが一般に知られている。また、ISDN網の基本インターフェースに接続する端末においても、前記と同様にディジタルPLL回路が使用されている。

【0004】

20 【発明が解決しようとする課題】ISDN網の基本インターフェースでは、伝送符号に100%デューティAMI(Alternate Mark Invention)符号が採用されている。図5は、この符号化則を説明するための図で、周知のように、データ「0」を+の振幅、-の振幅の交互に対応させて、データ「1」を振幅無しに対応させている。このため、受信データに同期したクロックを抽出するためには、受信データにデータ「0」が含まれなくてはならない、データ「1」だけでは同期クロックを抽出できない。そのため、ディジタルPLL回路を使用する場合は、前記安定度を決める値Kの値を受信データ中にデータ「0」が最も少ない場合を最悪値として値Kの値を決めている。つまり、少ない「0」の数でも早く追従できるようにKの値を小さく設定せざるを得なくなる。しかし、この値は追従時間は短いけれども、ノイズ、ジッタ等に対する安定度は十分な値とはいえないという問題がある。

【0005】本発明は、上述のごとき実情に鑑みてなされたもので、従属同期方式のデータ伝送において、特に、ISDN網の基本インターフェースにおいて、受信データに同期したクロックを速やかに、安定して出力するクロック抽出回路を提供することを目的としてなされたものである。

【0006】

【課題を解決するための手段】本発明は、上記課題を解決するために、(1)受信データR_i(R_n, R_{n-1}, …, R₁)と位相制御部から出力されるクロックT_i(T_n, T_{n-1}, …, T₁)とをクロック毎に比較し、受信データR_iと出力クロックT_iの位相差δ_i(δ_n, δ_{n-1}, …, δ₁)を出力する位相比較器と、前記位相差δ_iを複数保持する位相差保持部と、前記保持した位相差δ_iを

用いて位相制御信号を出力する位相差管理部と、前記位相差管理部から出力される位相制御信号に従って出力クロック T_i の位相を制御する位相制御部とを有する従属同期方式のデータ伝送回路において、前記位相差管理部は、前記保持された任意のN個のクロック分の位相差 δ_i を用いて何らかの演算を施し、その演算条件を位相制御信号として、前記位相制御部の出力クロック T_i の位相を制御することを特徴としたものであり、更には、

(2) 前記演算条件として下記の(1)式を、また、

(3) 前記位相制御信号として、下記の(2)式を用いることを特徴とするものである。

【0007】

【数3】

$$\delta_{i+1} = \frac{\sum_{i=1}^N \delta_i}{N} \quad \dots (1)$$

$$\delta_{i+1} = \frac{\sum_{i=1}^N (i \cdot \delta_i)}{\sum_{i=1}^N i} \quad \dots (2)$$

【0008】

【作用】受信データ R_i (R_n, R_{n-1}, \dots, R_1) と位相制御部から出力されるクロック T_i (T_n, T_{n-1}, \dots, T_1) とをクロック毎に比較し、受信データ R_i と出力クロック T_i の位相差 δ_i ($\delta_n, \delta_{n-1}, \dots, \delta_1$) を求め、この位相差 δ_i を複数保持し、この保持された任意のN個のクロック分の位相差 δ_i を用いて何らかの演算を施し、その演算条件を位相制御信号として、出力クロック T_i の位相を制御する。

【0009】

【実施例】図1は、本発明の一実施例を説明するためのブロック図で、同図は、ISDN網の基本インタフェースに接続する端末に適応した場合の例を示す。図1において、レシーバ11はISDN網からの受信データ R_i (R_n, R_{n-1}, \dots, R_1) のAMI符号を「0」、「1」のデジタル信号に変換する。位相比較器12は位相制御部15から出力されるクロック信号 T_i をクロック毎に受信データ R_i と位相比較して、位相差 δ_i を出力する。位相差保持部13は位相比較器12から出力される位相差 δ_i を保持するメモリ等の記憶装置である。位相差管理部14は位相差保持部13に保持された位相差 δ_i を用いて何らかの演算を施して、位相を「進める」、「遅らす」等の位相制御信号を出力するマイクロコンピュータ、デジタルシグナルプロセッサ、ハードロジック等の演算処理装置である。位相制御部15は、位相差管理部14からの位相制御信号に基づいて、基準クロック16を用いて出力クロック T_i の位相を制御する。基準クロック16は、受信データと同期したため

と、位相比較器12において位相差 δ_i をデジタル信号として出力するためのサンプリングのためのクロックで、受信データの何分の1を取る、ここでは、受信データの40分の1のクロックである。

【0010】ISDN網からの受信AMI符号(図2(a))は、レシーバ11において、図2(b)に示すように、+の振動、-の振動信号は、「1」の受信デジタル信号 R_i に変換され、0レベルのAMI信号は「0」の受信デジタル信号 R_i に変換される。次に、位相比較器12において、前記受信デジタル信号 R_i (図2(b))と位相制御部15から出力されるクロック T_i との位相差 δ_i を、図3に示すように、-19~-+20のデジタル値として、出力クロック毎に出力する。つまり、一つの出力クロック T_i (40基準クロック)の期間、受信デジタル信号を基準クロックでサンプリングすることによって、受信デジタル信号 R_i の立ち上がり位置を検出し、その出力クロック内での検出位置を、図3に示すデジタル値(-19~-1, 0, 1~+20)に置き換えて、位相差 δ_i として出力する。

20 この検出位置は、出力クロックの立ち上がりを起点とし、初期値を-19とする出力クロック期間の基準クロックのカウント値である。ここで、受信デジタル信号の立ち上がり位置が検出されない場合は、位相差 δ_i を一つ前の位相差 δ_{i-1} とする。

【0011】前述のようにして、出力クロック毎に出力された位相差 δ_i は位相差保持部13に順次記憶される。次いで、位相差管理部14において、前記記憶された位相差列 δ_i を用いて何らかの演算(例えば、式(1))を施し、新たに输出するクロックの位相位置を30 決定するための位相制御信号を出力する。この場合、例えば、新しい位相差データほど次に输出される位相差に大きな影響を与えるから、式2に示すように、過去の位相差に軽い重み付けを施し、新しい位相差に向かうに従って重い重み付けを施して、それらの重み付け平均値をとる。つまり、 T_{i+1} の位相差を式2で予測し、何基準クロック分出力クロックの位相を「進める」、「遅らす」等の位相制御信号を出力する。次いで、位相差管理部14で出力された位相制御信号に基づいて、出力クロックの位相を制御して、出力クロックを出力する。上述の連続の処理によって、受信データに同期したクロックを速やかに、安定して出力することが可能となる。

40 【0012】

【数4】

$$\delta_{i+1} = \frac{\sum_{i=1}^N \delta_i}{N} \quad \cdots (1)$$

$$\delta_{i+1} = \frac{\sum_{i=1}^N i \cdot \delta_i}{\sum_{i=1}^N i} \quad \cdots (2)$$

[0013]

【発明の効果】以上に説明したように、本発明によれば、過去の位相差データを保持し、その位相差データに何らかの演算処理を施し、新たに output するクロックの位相を予測するようにしたので、受信データに同期したクロックを速やかに、安定して、出力することが可能とな

*る。

【図面の簡単な説明】

【図1】本発明の一実施例を説明するための電気回路図である。

【図2】AMI符号からディジタル信号への変換例を説明するための図である。

【図3】位相差データの出力例を示す図である。

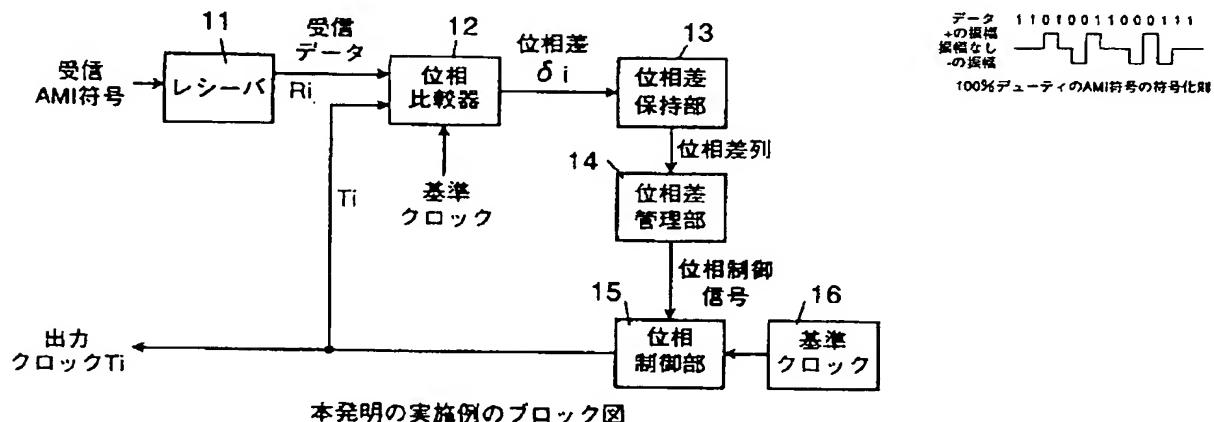
【図4】ディジタルPLL回路の構成図である。

【図5】100%デューティのAMI符号の符号化則を説明するための図である。

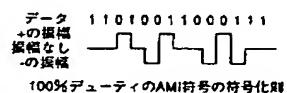
【符号の説明】

1…位相比較器、2…位相差管理部、3…位相差カウンタ、4…位相制御部、11…レシーバ、12…位相比較器、13…位相差保持部、14…位相差列、15…位相制御信号、16…基準クロック。

【図1】



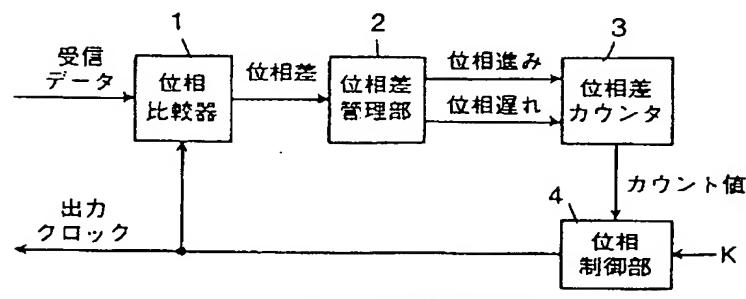
【図5】



【図2】



【図4】



ディジタルPLL回路の構成図

【図3】

